

## DYNAMIC RAM CONTROLLER

Patent Number: JP10049437  
Publication date: 1998-02-20  
Inventor(s): HAYASHI DAISAKU  
Applicant(s): TOSHIBA CORP  
Requested Patent:  JP10049437  
Application Number: JP19960200560 19960730  
Priority Number(s):  
IPC Classification: G06F12/02; G11C11/401  
EC Classification:  
EC Classification:  
Equivalents:

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To enable a CPU which does not handle a page mode to use the page mode of a D-RAM by comparing the row addresses of last access and current access with each other, and making only a row address strobe active and performing constant output when they match each other.

**SOLUTION:** An address area decision bit EA is supplied to an area detecting circuit 2, which detects the address of the D-RAM 100 from the address decision bit EA. Further, the row address RA is supplied to an address holding part 3 and a comparing circuit 4. The address holding part 3 holds the row address RA at the last access to the D-RAM 100 as hold data RC. The comparing circuit 4 compares the hold data RC with the row address RA at the access of this time and outputs the row address strobe RAS in an active constant state when the last value and current value of the row address RA match each other.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-49437

(43) 公開日 平成10年(1998) 2月20日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/02	5 9 0		G 0 6 F 12/02	5 9 0 B
G 1 1 C 11/401			G 1 1 C 11/34	3 6 2 D

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平8-200560

(22) 出願日 平成 8 年(1996) 7月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 林 大作

神奈川県川崎市幸区堀川町580番1号 株

株式会社東芝半導体システム技術センター内

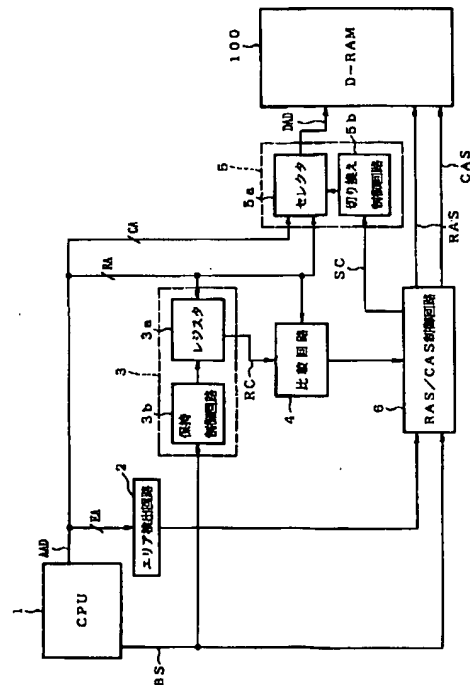
(74) 代理人 弁理士 三好 秀和 (外 3 名)

(54) 【発明の名称】 ダイナミックRAM制御装置

(57) 【要約】

【課題】 ページモードに対応していないCPUでD-RAMのページモードを使用することができるD-RAM制御装置を提供する。

【解決手段】 D-RAMのアドレス領域を検出するエリア検出部と、前記エリア検出部の検出結果とバススタート信号とに基づいて、ロウアドレス・ストロープ及びカラムアドレス・ストロープを生成するロウ/カラムアドレス・ストロープ生成部とを備えたD-RAM制御装置において、前記バススタート信号を参照して前記D-RAMに対する前回アクセス時のロウアドレスを保持するアドレス保持部と、前記アドレス保持部の保持データと今回アクセス時のロウアドレスとを比較する比較回路とを設け、比較回路の比較結果が一致しているときに、D-RAMのページモードに対応すべくロウアドレス・ストロープのみを活性状態で一定にして出力する構成にする。



## 【特許請求の範囲】

【請求項1】 ダイナミックRAMのアドレス領域を検出するエリア検出部と、前記エリア検出部の検出結果とアクセス開始を示すバススタート信号とに基づいて、前記ダイナミックRAMのロウアドレス及びカラムアドレスのデコードをそれぞれ制御するためのロウアドレス・ストロブ及びカラムアドレス・ストロブを生成するストロブ信号生成部とを備えたダイナミックRAM制御装置において、

前記バススタート信号を参照して前記ダイナミックRAMに対する前回アクセス時のロウアドレスを保持するアドレス保持部と、

前記アドレス保持部の保持データと今回アクセス時のロウアドレスとを比較する比較回路とを設け、

前記ストロブ信号生成部は、

前記比較回路の比較結果が一致しているときに、前記ダイナミックRAMのページモードに対応すべく前記ロウアドレス・ストロブのみを活性化状態で一定にして出力する構成にしたことを特徴とするダイナミックRAM制御装置。

【請求項2】 前記アドレス保持部は、前記バススタート信号に加えて前記エリア検出部の検出結果を参照し、前記ダイナミックRAMに対する前回アクセス時のロウアドレスを保持する構成にしたことを特徴とする請求項1記載のダイナミックRAM制御装置。

【請求項3】 ダイナミックRAMのアドレス領域を検出するエリア検出部と、前記エリア検出部の検出結果とアクセス開始を示すバススタート信号とに基づいて、前記ダイナミックRAMのロウアドレス及びカラムアドレスのデコードをそれぞれ制御するためのロウアドレス・ストロブ及びカラムアドレス・ストロブを生成するストロブ信号生成部と、前記ロウアドレスと前記カラムアドレスとの切り換えを行い、その切り換え結果を前記ダイナミックRAMへ供給するセクタと、前記セクタから出力されるロウアドレスとカラムアドレスとが前記ロウアドレス・ストロブと前記カラムアドレス・ストロブにそれぞれ同期して前記ダイナミックRAMへ供給されるように、ストロブ同期信号に基づいて前記セクタの切り換えタイミングを制御する切り換え制御回路と、前記バススタート信号を参照して前記ダイナミックRAMに対する前回アクセス時のロウアドレスを保持するアドレス保持部と、前記アドレス保持部の保持データと今回アクセス時のロウアドレスとを比較する比較回路とを備えたダイナミックRAM制御装置であって、

前記ストロブ信号生成部は、前記ストロブ同期信号を生成出力するとともに、前記比較回路の比較結果が一致しているときに、前記ダイナミックRAMのページモードに対応すべく前記ロウアドレス・ストロブのみを活性化状態で一定にして出力する構成にしたことを特徴と

するダイナミックRAM制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ダイナミックRAMの書き込み/読み出しを制御するダイナミックRAM制御装置に関し、特にページモード機能を備えたダイナミックRAM制御装置に関する。

## 【0002】

【従来の技術】図5は、従来のダイナミックRAMの概略構成を示すブロック図である。

【0003】同図に示すように、ダイナミックRAM（以下、D-RAMという）は、1ビットのメモリセル101が規則的に配列しており、各々のメモリセル101はワード線102とビット線103の交点に1つずつ接続されている。

【0004】データの読み出しを行う際には、まず、ロウアドレス・ストロブRASを活性化して、行（ロウ）デコード105により1本のワード線102を選択し、1行のメモリセル101をビット線103に接続する。これによって、各々のビット線103には記憶データに対応した信号が現れ、この信号がセンスアンプ106を通してマルチプレクサ107へ送られる。

【0005】次に、カラムアドレス・ストロブCASが活性化し、列（カラム）デコード108によりカラムアドレスCAがデコードされる。そのデコード結果に応じて、マルチプレクサ107は、ビット線103上に現れた記憶データのうちの1つのデータを選択し、このデータが読み出しデータOUTとして出力される。

【0006】一方、書き込みの際には、書き込みデータが列デコード108で選ばれたビット線103上に転送される。そして、このビット線103と、選択されたワード線102とに接続されているメモリセル101に書き込みデータが書き込まれる。

【0007】図6は、図5に示したD-RAMを制御する従来のD-RAM制御装置の構成を示すブロック図である。

【0008】このD-RAM制御装置は、D-RAM100の動作全体を制御するCPU201と、アドレス領域判定ビットEAによりD-RAM100のアドレス領域を検出するエリア検出回路202と、ロウアドレス・ストロブRASとカラムアドレス・ストロブCASを生成するRAS/CAS制御回路203と、ロウアドレスRAとカラムアドレスCAとのいずれか一方に切替えるセクタ部204とを備えている。なお、アドレス領域判定ビットEA、ロウ・アドレスRA、及びカラムアドレスCAは、CPU201から出力されるアクセスアドレスAADの上位ビット、中位ビット、及び下位ビットでそれぞれ構成されている。

【0009】RAS/CAS制御回路203は、エリア検出回路202の出力とCPU201から出力されるバ

ス・スタート信号BSとにより、ロウアドレス・ストロープRASとカラムアドレス・ストロープCASを生成し、これらをD-RAM100へ供給する。セクタ部204は、ロウアドレスRAとカラムアドレスCAとの切り換えを行うセクタ204aと、この切り換え制御を行う切り換え制御回路204bとで構成され、セクタ204aの出力は、アドレスDADとして、前記ロウアドレス・ストロープRASとカラムアドレス・ストロープCASに同期してD-RAM100へ供給される。なお、この同期は、RAS/CAS制御回路203からセクタ制御回路204bへ出力される信号SCによって行われる。

【0010】このようなD-RAM制御装置の初期の技術においては、データの読み出し/書き込みの度に、D-RAMに対し、ロウアドレスRA、ロウアドレス・ストロープRAS、カラムアドレスCA、及びカラムアドレス・ストロープCASを送っていた(非ページモード)。

【0011】この非ページモード時のD-RAM制御装置のタイミング図を図7に示す。

【0012】同図において、まず、バススタート信号BS(図7では反転信号として使っている)がアクティブになり、これに少し遅れてロウアドレス・ストロープRAS(図7では反転信号として使っている)がアクティブとなる(T1)。さらに、ある一定時間の遅れがあり(この遅れ時間はD-RAMの仕様によって異なる)、カラムアドレス・ストロープCAS(図7では反転信号として使っている)がアクティブとなる(T2)。

【0013】このロウアドレス・ストロープRAS及びカラムアドレス・ストロープCASに同期して、ロウアドレスRA及びカラムアドレスCAがそれぞれD-RAMへ送られ、1つのデータが決定される。

【0014】1つのデータが決定すると、ロウアドレス・ストロープRAS及びカラムアドレス・ストロープCASはインアクティブとなり、次にバススタート信号BSがアクティブになるのを待って再び同じタイミング動作で、ロウアドレス・ストロープRAS及びカラムアドレス・ストロープCASの順でアクティブになり、次のデータを決定する。以降、同じ動作を繰り返す。

【0015】こうした非ページモードのD-RAM制御装置に対し、アクセスタイムの短縮化を図るためにD-RAMのページモードの機能を備えたD-RAM制御装置が近年、主流となってきている。

【0016】このD-RAMのページモードでは、ロウアドレスRAが一定の場合には、ロウアドレス・ストロープRASをアクティブで一定にしてワード線及びビット線を変化させず、カラムアドレスCAとカラムアドレス・ストロープCASのみを変化させてデータの読み出し/書き込みを行うものである。

【0017】

【発明が解決しようとする課題】しかしながら、従来のD-RAM制御装置においては、D-RAMのページモードを使用するにはページモードに対応したCPUを用いる必要があり、その機能の無いCPUではD-RAMのページモードを使用することはできなかった。

【0018】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、ページモードに対応していないCPUでD-RAMのページモードを使用することができるD-RAM制御装置を提供することである。またその他の目的は、D-RAMに対して高速なメモリアクセスを可能にするD-RAM制御装置を提供することである。

【0019】

【課題を解決するための手段】上記目的を達成するために、第1の発明の特徴は、D-RAMのアドレス領域を検出するエリア検出部と、前記エリア検出部の検出結果とアクセス開始を示すバススタート信号とに基づいて、前記D-RAMのロウアドレス及びカラムアドレスのデコードをそれぞれ制御するためのロウアドレス・ストロープ及びカラムアドレス・ストロープを生成するストロープ信号生成部とを備えたD-RAM制御装置において、前記バススタート信号を参照して前記D-RAMに対する前回アクセス時のロウアドレスを保持するアドレス保持部と、前記アドレス保持部の保持データと今回アクセス時のロウアドレスとを比較する比較回路とを設け、前記ストロープ信号生成部は、前記比較回路の比較結果が一致しているときに、前記D-RAMをページモードに設定すべく前記ロウアドレス・ストロープのみを活性状態で一定出力する構成にしたことにある。

【0020】この第1の発明によれば、前回アクセス時のロウアドレスと今回アクセス時のロウアドレスとを比較し、その比較結果が一致しているときにロウアドレス・ストロープのみを活性状態で一定にして出力するので、ページモードに対応していないCPUを用いてもD-RAMのページモードを使用することができる。

【0021】第2の発明の特徴は、上記第1の発明において、前記アドレス保持部は、前記バススタート信号に加えて前記エリア検出部の検出結果を参照し、前記D-RAMに対する前回アクセス時のロウアドレスを保持する構成にしたことにある。

【0022】この第2の発明によれば、D-RAMのアドレス領域以外のアドレス領域から再びD-RAMのアドレス領域に復帰したときに、ロウアドレスが以前にこの領域にアクセスした際の最後のロウアドレスと一致する場合、引き続きページモードアクセスを続行することができる。

【0023】第3の発明の特徴は、ダイナミックRAMのアドレス領域を検出するエリア検出部と、前記エリア検出部の検出結果とアクセス開始を示すバススタート信号とに基づいて、前記ダイナミックRAMのロウアドレ

ス及びカラムアドレスのデコードをそれぞれ制御するためのロウアドレス・ストロブ及びカラムアドレス・ストロブを生成するストロブ信号生成部と、前記ロウアドレスと前記カラムアドレスとの切り換えを行い、その切り換え結果を前記ダイナミックRAMへ供給するセクタと、前記セクタから出力されるロウアドレスとカラムアドレスとが前記ロウアドレス・ストロブと前記カラムアドレス・ストロブにそれぞれ同期して前記ダイナミックRAMへ供給されるように、ストロブ同期信号に基づいて前記セクタの切り換えタイミングを制御する切り換え制御回路と、前記バススタート信号を参照して前記ダイナミックRAMに対する前回アクセス時のロウアドレスを保持するアドレス保持部と、前記アドレス保持部の保持データと今回アクセス時のロウアドレスとを比較する比較回路とを備えたダイナミックRAM制御装置であって、前記ストロブ信号生成部は、前記ストロブ同期信号を生成出力するとともに、前記比較回路の比較結果が一致しているときに、前記ダイナミックRAMのページモードに対応すべく前記ロウアドレス・ストロブのみを活性状態で一定にして出力する構成にしたことにある。

【0024】この第3の発明によれば、ダイナミックRAMに供給するロウアドレスとカラムアドレスとを、ロウアドレス・ストロブとカラムアドレス・ストロブにそれぞれ同期させることができ、ページモードに対応していないCPUを用いてもD-RAMのページモードに的確に対応することができる。

【0025】

【発明の実施の形態】以下、本発明の実施形態を図面に基いて説明する。図1は、本発明の第1実施形態に係るD-RAM制御装置のブロック図である。

【0026】このD-RAM制御装置は、D-RAM100のアクセス動作全体を制御するCPU1を有し、このCPU1からは、例えば24ビット構成の内部アドレスバスを通してアクセスアドレスAADが出力されると同時に、アクセス開始を示すバススタート信号BSが出力されるようになっている。このCPU1は、D-RAM100のページモードに対応した機能を有しない構成となっている。

【0027】ここで、本実施形態では、アクセスアドレスAADの例えば上位8ビットをアドレス領域判定ビットEA、次の8ビットをロウアドレスRA、さらに下位8ビットをカラムアドレスCAとするが、このビット構成に限らず任意のビット数でシステムを構築することもできる。

【0028】前記アドレス領域判定ビットEAはエリア検出回路2に供給され、このエリア検出回路2は、アドレス領域判定ビットEAによりD-RAM100のアドレス領域を検出する。また、ロウアドレスRAは、アドレス保持部3及び比較回路4へ供給されるほか、カラム

アドレスCAと同時にセクタ部5へ供給されるようになっている。

【0029】アドレス保持部3は、前記ロウアドレスRAを保持する8ビット構成のレジスタ3aと、この保持タイミングを前記バススタート信号BSによって制御する保持制御回路3bとで構成されている。このアドレス保持部3のレジスタ3aには、D-RAM100に対する前回アクセス時のロウアドレスRAが保持データRCとして保持される。また、比較回路4は、アドレス保持部3の保持データRCと今回アクセス時のロウアドレスRAとを比較し、その比較結果をRAS/CAS制御回路6へ供給する。

【0030】ここで、RAS/CAS制御回路6は、エリア検出回路2の出力とCPU1から出力されるバススタート信号BSとにより、D-RAM100へ供給するロウアドレス・ストロブRASとカラムアドレス・ストロブCASとを生成する。

【0031】また、セクタ部5は、ロウアドレスRAとカラムアドレスCAとの切り換えを行うセクタ5aと、この切り換え制御を行う切り換え制御回路5bとで構成され、セクタ5aの出力は、アドレスDADとしてD-RAM100へ供給される。このセクタ部5の切り換え制御回路5bは、RAS/CAS制御回路6から供給される信号SCにより、セクタ5aの切り換えタイミングを生成している。

【0032】次に、本実施形態の動作を図2のタイミングチャートを参照しつつ説明する。なお、本実施形態では、バススタート信号BS(図2では反転信号を使っている)、ロウアドレス・ストロブRAS(図2では反転信号を使っている)、カラムアドレス・ストロブCAS(図2では反転信号を使っている)、及び信号SCは“L”レベルでアクティブとする。

【0033】最初のデータの読み出し/書き込みは、従来装置の非ページモード時と同様であり、まず、バススタート信号BSがアクティブになり(時刻t1)、これに少し遅れた時刻t2にロウアドレス・ストロブRASがアクティブとなる。さらに一定時間遅れて時刻t3にカラムアドレス・ストロブCASがアクティブとなる。

【0034】バススタート信号BSがアクティブになると同時に、CPU1から例えば“10011”のアクセスアドレスAADが出力される。ここで、アクセスアドレスAADの“10011”(16進法)のうち、上位の“1”がアドレス領域判定ビットEAを示し、次の“00”がロウアドレスRAを示し、さらに下位の“11”がカラムアドレスCAを示している。

【0035】そして、前記ロウアドレス・ストロブRAS及びカラムアドレス・ストロブCASにそれぞれ同期して、ロウアドレスRA(“00”)及びカラムアドレスCA(“11”)が順次D-RAM100へ送ら

れ、最初のデータが決定される。

【0036】このようにして最初のデータが決定された後に、ロウアドレス・ストロブRASをインアクティブに復帰させずにアクティブのまま出力し、アドレス保持部3のレジスタ3aに当該ロウアドレスRA(“00”)を格納する(時刻t4)。

【0037】バススタート信号BSが再びアクティブになり(時刻t5)、CPU1から例えば“10012”のアクセスアドレスAADが出力されると、そのうちのロウアドレスRA(“00”)は、まず比較回路4において、アドレス保持部3に格納されていた前アドレス(“00”)と比較され、その後に新たにアドレス保持部3に格納される(時刻t6)。

【0038】比較回路4において行われた比較の結果、ロウアドレスRAの前回値と今回値とが一致していれば、ロウアドレス・ストロブRASはアクティブで一定のまま出力される。今回は、ロウアドレスRAの前回値と今回値とが“00”で一致しているので、ロウアドレス・ストロブRASはアクティブのまま出力されることになる。これによって、ロウアドレス・ストロブRASがアクティブで一定のまま出力され、その間にカラムアドレス・ストロブCASのみが変化するページモードでの読み出し/書き込み動作が可能となる。

【0039】すなわち、ロウアドレス・ストロブRASがアクティブで一定の間に、バススタート信号BSがアクティブ(2回目, 3回目)になり(時刻t5, 時刻t7)、その各々に少し遅れた時刻t8, t9にカラムアドレス・ストロブCASがアクティブとなる。そして、このカラムアドレス・ストロブCASに同期して、D-RAM100に供給されるアドレスDADとして、カラムアドレスCA(“12”, “13”)のみが順次出力される。データが決定した後は、アドレス保持部3のレジスタ3aにロウアドレスRA(“00”)を格納する(時刻t6, t10)。

【0040】その後の時刻t11にバススタート信号BSが4回目のアクティブになると同時に、CPU1からは“1AA14”のアクセスアドレスAADが出力される。このとき、ロウアドレスRAは“AA”となり、比較回路4において行われた比較の結果は、前アドレス(“00”)と一致していないものとなる。その結果、ロウアドレス・ストロブRASはインアクティブとなった後に(時刻t12)、再びアクティブとなり(時刻t13)、新しいロウアドレスRA(“AA”)をアドレスDADとしてD-RAM100へ出力する。

【0041】さらにその後の時刻t14にカラムアドレス・ストロブCASがアクティブとなり、アドレスDADとして、カラムアドレスCA(“14”)がD-RAM100へ出力される。そして、データが決定した後は、アドレス保持部3のレジスタ3aにロウアドレスRA(“AA”)が格納される(時刻t15)。

【0042】このように本実施形態では、アドレス保持部3に保持された前回アクセス時のロウアドレスRAと、今回アクセス時のロウアドレスRAとを比較回路4で比較し、その比較結果が一致しているときにロウアドレス・ストロブRASのみをアクティブで一定にして出力するようにしたので、ページモードに対応していないCPUを用いてもD-RAMのページモードを使用することができ、アクセスタイムの短縮化を図ることができる。

【0043】図3は、本発明の第2実施形態に係るD-RAM制御装置のブロック図であり、図1と共通する要素には同一の符号が付されている。

【0044】本実施形態では、図1に示した構成に加え、エリア検出部2とアドレス保持部3の保持制御回路3bとを信号線ESで接続するようにしたものである。このように接続して、エリア検出部2から保持制御回路3bへエリア検出部2の検出信号を送り、この検出信号に基づき保持制御回路3bからレジスタ3aへ出力されるラッチ信号を制御する。

【0045】これによって、図4のタイミングチャートに示すように、D-RAM100のアドレス領域以外の他のアドレス領域(“F0033”)にアクセスした後(T11)、再びD-RAM100のアドレス領域に戻ってきたときも、以前にアクセスした際の最後のロウアドレスRA(“00”)を記憶しており、同一のロウアドレスRAの場合には改めてロウアドレス・ストロブRASをアクティブにする必要がなく、引き続きカラムアドレス・ストロブCASの変化のみによるページモードを行うことで、アクセスタイムの短縮化を図ることができる。

【0046】

【発明の効果】以上詳細に説明したように、第1の発明によれば、バススタート信号を参照してダイナミックRAMに対する前回アクセス時のロウアドレスを保持するアドレス保持部と、このアドレス保持部の保持データと今回アクセス時のロウアドレスとを比較する比較回路とを設け、比較回路の比較結果が一致しているときに、D-RAMのページモードに対応すべくロウアドレス・ストロブのみを活性状態で一定にして出力するようにしたので、ページモード対応のCPUでなくてもD-RAMのページモードを使用することができ、高速なメモリアクセスを可能にする。

【0047】第2の発明によれば、上記第1の発明において、アドレス保持部は、バススタート信号に加えてエリア検出部の検出結果を参照し、D-RAMに対する前回アクセス時のロウアドレスを保持するようにしたので、D-RAMのアドレス領域以外のアドレス領域から再びD-RAMのアドレス領域に復帰したときに、ロウアドレスが以前にこの領域にアクセスした際の最後のロウアドレスと一致する場合、引き続きページモードアク

セスを続行することが可能になる。

【0048】第3の発明によれば、エリア検出部と、ストロープ信号生成部と、アドレス保持部と、比較回路とを備えるほか、セレクトと、切り換え制御回路とを設け、このセレクトから出力されるロウアドレスとカラムアドレスとがロウアドレス・ストロープとカラムアドレス・ストロープにそれぞれ同期してダイナミックRAMへ供給されるように、前記セレクトの切り換えタイミングを制御するようにしたので、ページモードに対応していないCPUを用いてもD-RAMのページモードに的確に対応することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るD-RAM制御装置のブロック図である。

【図2】第1実施形態の動作を示すタイミングチャートである。

【図3】本発明の第2実施形態に係るD-RAM制御装置のブロック図である。

【図4】第2実施形態の動作を示すタイミングチャートである。

【図5】従来のダイナミックRAMの概略構成を示すブロック図である。

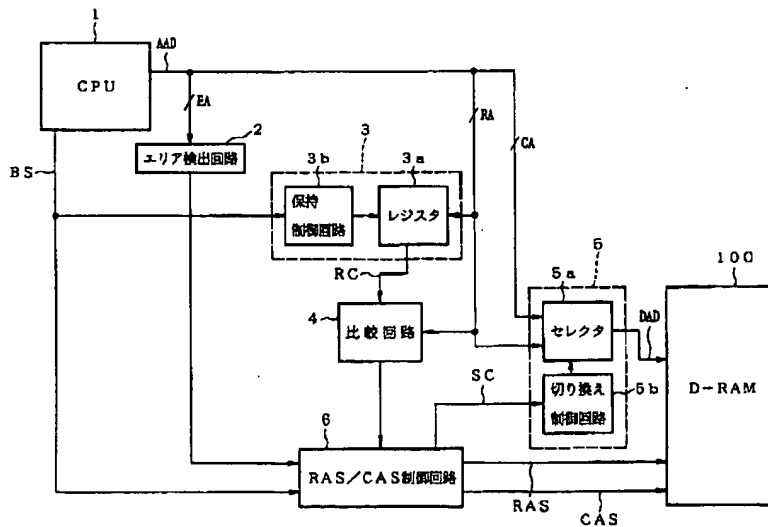
【図6】図5に示すD-RAMを制御する従来のD-RAM制御装置の構成を示すブロック図である。

【図7】非ページモード時のD-RAM制御装置の動作を示すタイミングチャートである。

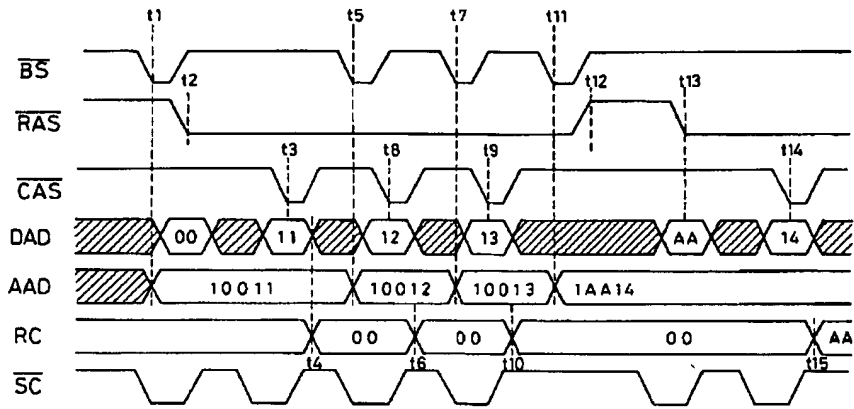
【符号の説明】

- 1 CPU
- 2 エリア検出回路
- 3 アドレス保持部
- 3 a レジスタ
- 3 b 保持制御回路
- 4 比較回路
- 5 セレクト部
- 5 a セレクト
- 5 b 切り換え制御回路
- 6 RAS/CAS制御回路
- 100 D-RAM
- AAD アクセスアドレス
- BS バススタート信号
- EA アドレス領域判定ビット
- RA ロウアドレス
- CA カラムアドレス
- RC 保持データ

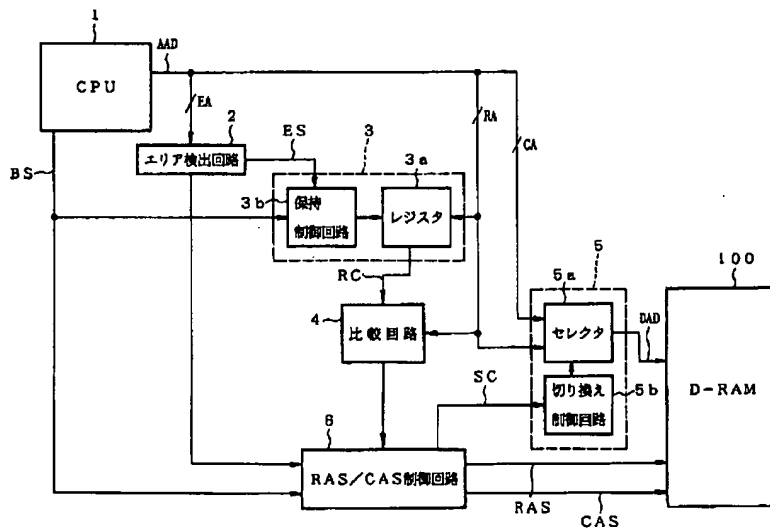
【図1】



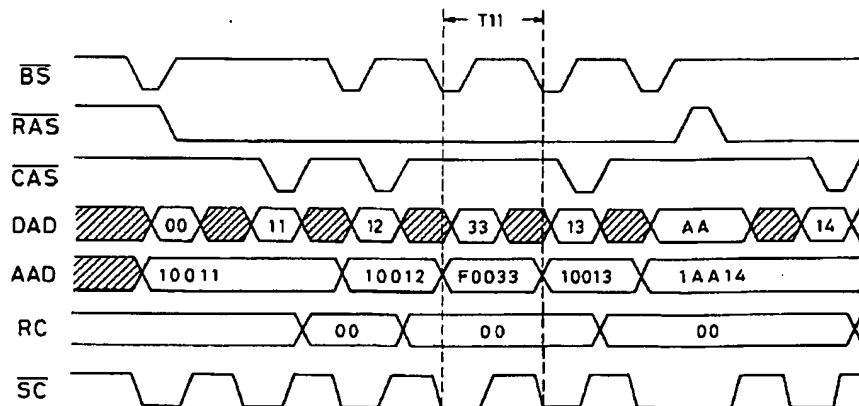
【図2】



【図3】

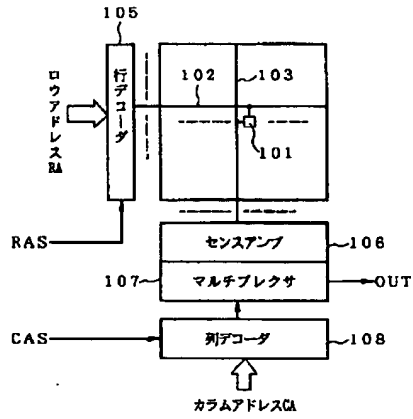


【図4】

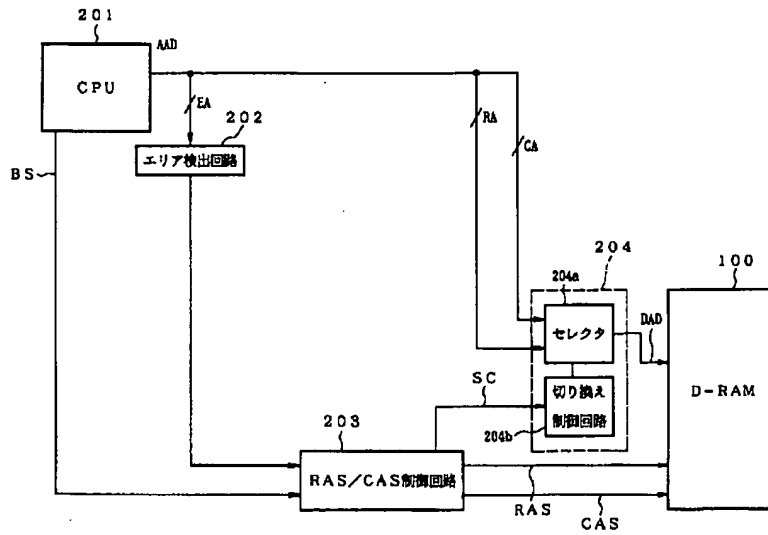




【図5】



【図6】



【図7】

